

# Kendali PLL pada Sistem Jaringan Listrik yang Terdistorsi

Hilman Zarory<sup>#1</sup>, Hery Teguh Setiawan<sup>\*2</sup>

<sup>#1</sup>Universitas Islam Negeri Sultan Syarif Kasim Riau

Jl. HR. Soebrantas No. 155, Simpang Baru, Panam, Pekanbaru, Riau 28293

<sup>2</sup>Universitas Tidar

Jl. Kapten Suparman No.39, Tuguran Potrobangsas, Magelang Utara,

Kota Magelang, Jawa Tengah 56116

<sup>1</sup>hilman.zarory@uin-suska.ac.id

<sup>2</sup>hery.teguh.s@untidar.ac.id

**Abstrak** — paper ini membahas mengenai kinerja PLL dalam kondisi jaringan listrik yang terdistorsi. PLL yang dirancang merupakan PLL berbasis transformasi dq yang diaplikasikan pada system control inverter terkoneksi mikrogrid. Dalam penelitian ini PLL terkontrol dengan kendali PI dan ditambahkan dengan LPF untuk menjaga kestabilan serta menahan gangguan yang terjadi pada tegangan PCC (*Point of Common Coupling*). Fungsi alih pll merupakan fungsi alih system orde tiga, namun pada penelitian ini persamaan karakteristik ditentukan berdasarkan metode second order dominan pole. Distorsi yang terjadi pada tegangan PCC merupakan gangguan yang disebabkan oleh beban yang tidak seimbang serta gangguan harmonic pada tegangan PCC. Hasil simulasi menunjukkan bahwa PLL masih dapat mengikuti perubahan fase yang terjadi pada tegangan PCC, namun gangguan yang semakin besar akan mengakibatkan kinerja PLL semakin menurun. Pada dasarnya tujuan dari penelitian yang dilakukan adalah merancang PLL yang terkontrol untuk jaringan listrik yang terdistorsi dan mengetahui kinerja dari PLL yang telah dirancang.

**Kata Kunci**— PLL, transformasi dq, harmonik

*Abstract -- This paper discusses the performance of the PLL in the electrical network conditions are distorted. PLL designed a PLL-based dq transformation is applied to the inverter control system connected mikrogrid. In this study PLL controlled with PI control and added to the LPF to maintain stable and withstand voltage disturbance at PCC (Point of Common Coupling). Pll transfer function is a function over a three-order system, but in this study the characteristic equation is determined by the method of second order dominant pole. Distortions in the PCC voltage is a disorder caused by an unbalanced load and interference voltage harmonics at PCC. The simulation results show that the PLL is able to follow the phase changes that occur in the PCC voltage, but the greater the disturbance will result in decreased performance of the PLL. Basically the aim of the research that was conducted was to design a controlled PLL for a distorted electricity network and find out the performance of the PLL that had been designed.*

**Keywords-** PLL, dq transformation, harmonic

## I. PENDAHULUAN

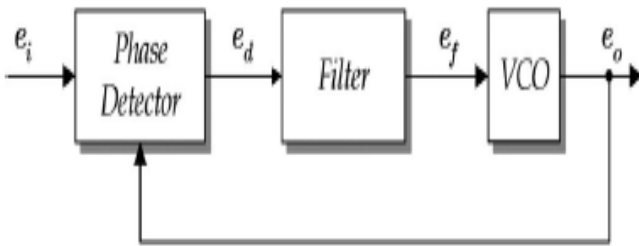
PLL (Phase Lock Loop) merupakan algoritma yang sering dipergunakan untuk mengunci frekuensi dua buah sinyal agar memiliki nilai yang sama. Kemampuan PLL tersebut kemudian digunakan untuk sinkronisasi system converter yang terkoneksi dengan jaringan listrik [1] - [4]. Dengan demikian maka PLL yang diaplikasikan pada system control converter juga sangat berperan dalam meningkatkan dan menjaga kualitas dari system control tersebut. Selain itu kemampuan PLL juga dapat digunakan untuk monitoring sistem jaringan listrik. Dalam hal ini PLL digunakan untuk mendapatkan informasi frekuensi, tegangan maupun fase dari sinyal yang dideteksinya [5][6]. Saat ini konsep dari PLL banyak dikembangkan dengan berbagai metode untuk aplikasi tertentu. Diantaranya yaitu *Zero Crossing Detector PLL (ZCD PLL)*, *Inverse Park PLL*, *SOGI PLL*, *Enhanced PLL* [2] dan *Full Order Observer (FOO) PLL* [7].

PLL juga digunakan untuk sinkronisasi inverter yang terkoneksi dengan grid. Tegangan pada PCC dijadikan sebagai referensi sehingga tegangan keluaran inverter dapat mengikuti perubahan yang terjadi pada PCC. Sinkronisasi inverter dengan tegangan PCC dilakukan dengan menggunakan algoritma PLL berbasis transformasi dq (Clarke-park). PLL memiliki peran yang sangat penting dalam menjaga maupun membantu kinerja dari sistem kontrol inverter [8] seperti dalam hal:

- Grid monitoring;
- Pengendalian daya aktif dan daya reaktif
- Kompensasi harmonik dan power factor.
- Regulasi tegangan grid
- Dan lain - lain

Pada dasarnya struktur dasar PLL terdiri dari *phase detector* (PD), *close loop filter* dan *voltage controlled oscillator* (VCO). Bagian yang penting yang perlu diperhatikan pada PLL yaitu PD adalah bersifat nonlinier [9]. Selain itu parameter pada *close loop filter* akan mempengaruhi karakter dari PLL itu sendiri. Pada dasarnya akan sangat sulit untuk merancang PLL yang memiliki respon yang cepat sekaligus memiliki akurasi yang tinggi. Hal ini menyebabkan kita perlu berkompromi dalam merancang PLL sesuai dengan tujuan dari perancangan [10].

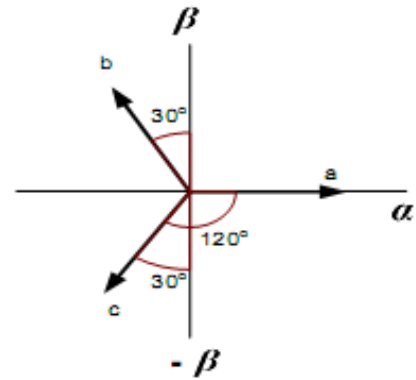
Penggunaan PLL yang diaplikasikan pada sistem jaringan listrik sering kali mendapat gangguan seperti harmonik maupun *noises* dari sensor tegangan. Hal ini dapat diatasi dengan menambahkan LPF (*Low Pass Filter*) pada PLL [11]. Penambahan LPF pada PLL akan meningkatkan kinerja PLL pada jaringan listrik yang terdistorsi, namun kemampuan memiliki keterbatasan dalam menekan gangguan yang terjadi pada jaringan listrik [12]. Beberapa literature [10][13][14], membahas secara khusus perancangan PLL yang diaplikasikan pada sistem jaringan listrik yang terdistorsi. Umumnya PLL yang digunakan merupakan PLL berbasis transformasi Clarke-park.



Gambar 1. Blok diagram PLL [9]

## II. PLL BERBASIS TRANSFORMASI CLARKE-PARK

Transformasi koordinat kerangka acuan sering digunakan untuk analisis sistem tiga fase. Transformasi ini melibatkan transformasi clarke yang kemudia dilanjutkan dengan transformasi park. Transformasi clarke adalah transformasi yang merubah variabel tiga fase ke dalam kerangka acuan stasioner  $\alpha\beta$ .



Gambar 2. Transformasi Clarke

Komponen  $\beta$  merupakan proyeksi dari abc pada sumbu imajiner dan komponen  $\alpha$  adalah proyeksi pada sumbu real. Transformasi ini dapat ditulis dalam persamaan:

$$i_{\alpha} = i_a - i_b \sin 30 - i_c \sin 30 \quad (1)$$

$$i_{\beta} = i_b \cos 30 - i_c \cos 30 \quad (2)$$

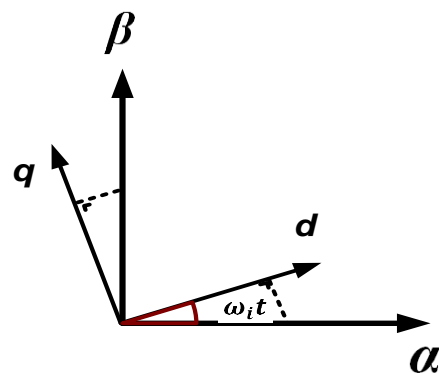
Dalam bentuk matrik dapat dituliskan:

$$\begin{bmatrix} i_{\alpha} \\ i_{\beta} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (3)$$

Transformasi balik:

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{\alpha} \\ i_{\beta} \end{bmatrix} \quad (4)$$

Transformasi ini kemudian akan dilanjutkan dengan transformasi park. Transformasi park akan merubah sistem dua fase stasioner  $\alpha\beta$  kedalam kerangka acuan berputar yaitu d (*direct*) dan q (*quadrature*). Sistem ini akan berputar dengan kecepatan sudut  $\omega$ .



Gambar 3. Transformasi Park

Transformasi ini dapat ditulis dalam persamaan:

$$i_d = i_\alpha \cos \theta_i + i_\beta \sin \theta_i \quad (5)$$

$$i_q = i_\beta \cos \theta_i - i_\alpha \sin \theta_i \quad (6)$$

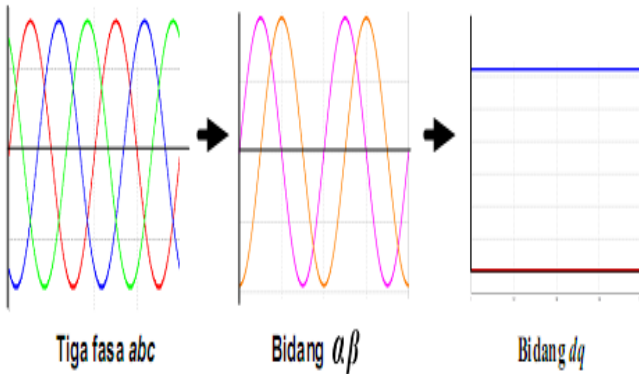
Dalam bentuk matrik dapat dituliskan:

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \cos \theta_i & \sin \theta_i \\ -\sin \theta_i & \cos \theta_i \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (7)$$

Transformasi balik:

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} \cos \theta_i & -\sin \theta_i \\ \sin \theta_i & \cos \theta_i \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} \quad (8)$$

Transfaomasi clarke bersama sama dengan transformasi park akan merubah sinyal ac sistem tiga fase kedalam bentuk dua fase yang searah.



Gambar 4. Transformasi tiga fase abc ke bidang dq

PLL yang diaplikasikan pada sistem jaringan listrik akan mendeteksi tegangan yang ada pada PCC (*point of common coupling*). Tegangan pada PCC dapat ditulis dalam sinyal sinus:

$$\begin{aligned} V_a &= V_m \sin \omega_o t \\ V_b &= V_m \sin(\omega_o t - \frac{2\pi}{3}) \\ V_c &= V_m \sin(\omega_o t + \frac{2\pi}{3}) \end{aligned} \quad (9)$$

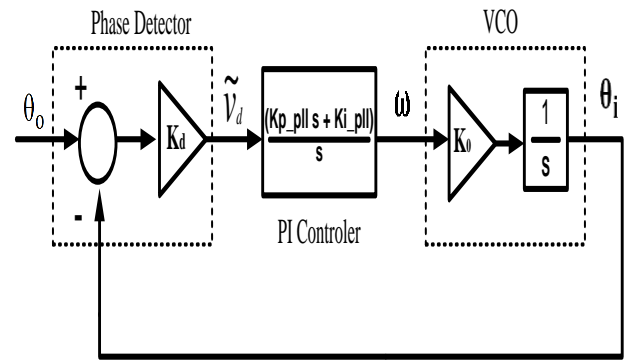
Tegangan jaringan listrik pada sumbu abc kemudian akan ditransformasikan kedalam sumbu dq dengan menggunakan transformasi clrake-park:

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = V_m \begin{bmatrix} \sin(\theta_o - \theta_i) \\ -\cos(\theta_o - \theta_i) \end{bmatrix} \quad (10)$$

Dari persamaan tersebut diketahui bahwa jika  $\theta_o = \theta_i$  maka  $V_d = 0$ , sedangkan  $|V_q|$  menunjukkan nilai tegangan maksimum. Dengan kemampuan PI yang memaksa  $\theta_o$  menyamai nilai  $\theta_i$ , maka *error* fase menjadi sangat kecil sehingga  $V_d$  dapat dilinierkan :

$$V_d = K_d V_m (\theta_o - \theta_i) \quad (11)$$

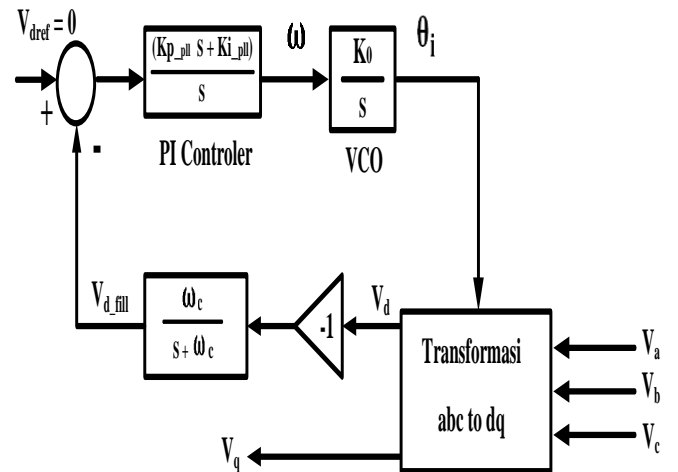
Model PLL dengan pendekatan sinyal kecil yang dilinierkan diperlihatkan pada gambar:



Gambar 5. Blok diagram PLL yang dilinierkan

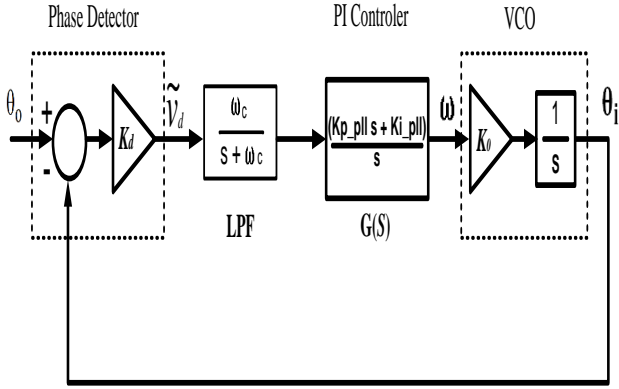
### III. PERANCANGAN PLL

PLL yang dirancang merupakan PLL yang terkontrol dengan kendali PI dan ditambahkan LPF. Frekuensi cut off yang digunakan adalah 50 Hz. Blok diagram PLL yang dirancang dapat dilihat pada gambar 6:



Gambar 6. Blok diagram PLL dengan penambahan LPF

Blok diagram ekivalen dari gambar 6 dapat dilihat pada gambar



7: Gambar 7. Blok diagram pendekatan sinyal kecil PLL dengan penambahan LPF

Dengan menggunakan  $K_d = K_o = 1$  maka fungsi alih kalang terbuka adalah:

$$G(s) = \frac{\omega_c}{s + \omega_c} \frac{K_{P\_PLL} + K_{I\_PLL} \frac{1}{s}}{s} = \frac{\omega_c (K_{P\_PLL} + K_{I\_PLL})}{s^2 (s + \omega_c)} \quad (12)$$

Fungsi alih kalang tertutup adalah:

$$H(s) = \frac{1}{1 + G(s)} = \frac{K_{P\_PLL} \omega_c s + K_{I\_PLL} \omega_c}{s^3 + \omega_c s^2 + K_{P\_PLL} \omega_c s + K_{I\_PLL} \omega_c} \quad (13)$$

Persamaan (13) menunjukkan bahwa fungsi alih PLL dengan penambahan LPF akan membentuk fungsi alih orde tiga. Untuk menentukan letak pole maka dilakukan pendekatan sistem orde dua:

$$H(s) = \frac{K_{P\_PLL} \omega_c s + K_{I\_PLL} \omega_c}{s^3 + \omega_c s^2 + K_{P\_PLL} \omega_c s + K_{I\_PLL} \omega_c} = \frac{K_{P\_PLL} \omega_c s + K_{I\_PLL} \omega_c}{(s + \alpha)(s^2 + 2\xi\omega_0 s + \omega_0^2)} = \frac{K_{P\_PLL} \omega_c s + K_{I\_PLL} \omega_c}{s^3 + (2\xi\omega_0 + \alpha)s^2 + (2\xi\omega_0\alpha + \omega_0^2)s + \alpha\omega_0^2} \quad (14)$$

Sehingga:

$$\omega_c = 2\xi\omega_0 + \alpha \quad (15)$$

$$K_{P\_PLL} = \frac{2\xi\omega_0\alpha + \omega_0^2}{\omega_c} \quad (16)$$

$$K_{I\_PLL} = \frac{\alpha\omega_0^2}{\omega_c} \quad (17)$$

penentuan letak pole yang dilakukan berdasarkan *second order dominant pole* mengakibatkan  $\alpha$  yang merupakan pole ketiga akan diredam pengaruhnya. Hal ini berarti di dalam kurva,  $\alpha$  diletakkan jauh disebelah kiri dari dua pole

dominannya. Dalam penelitian ini ketentuan yang digunakan bahwa  $\alpha$  adalah 10 kali pole dominan:

$$\alpha = 10\xi\omega_0 \quad (18)$$

sehingga:

$$\omega_0 = \frac{\omega_c}{12\xi} \quad (19)$$

$$K_{P\_PLL} = \frac{(20\xi^2 + 1)\omega_c}{144\xi^2} \quad (20)$$

$$K_{I\_PLL} = \frac{10\omega_c^2}{1728\xi^2} \quad (21)$$

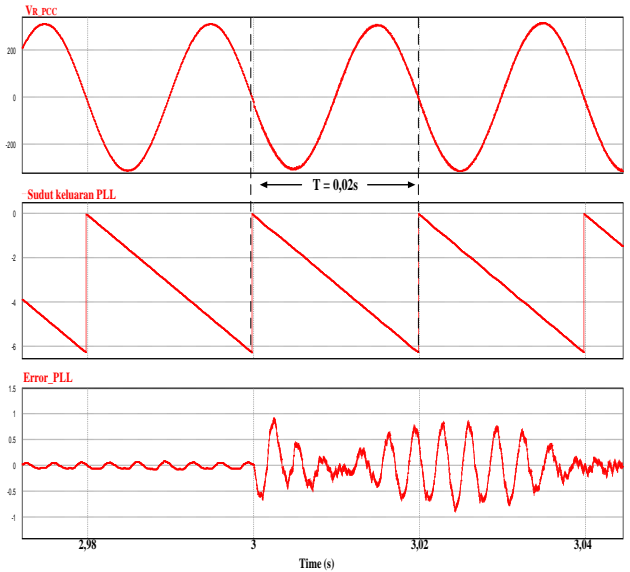
Dengan frekuensi *cut off*  $\omega_c = 314,15$  rad/sec dan  $\xi = 0,707$  maka:

$$K_{P\_PLL} = \frac{(20 \times 0,707^2 + 1)314,159}{144 \times 0,707^2} = 47,99$$

$$K_{I\_PLL} = \frac{10 \times 314,159^2}{1728 \times 0,707^2} = 1142,65$$

#### IV. SIMULASI DAN HASIL

Simulasi bertujuan untuk melihat kinerja dari PLL yang telah dirancang. Dalam simulasi ini PLL merupakan bagian dari sistem pengendalian inverter yang terkoneksi dengan mikrogrid. Hasil simulasi keluaran PLL diperlihatkan dalam gambar 8.

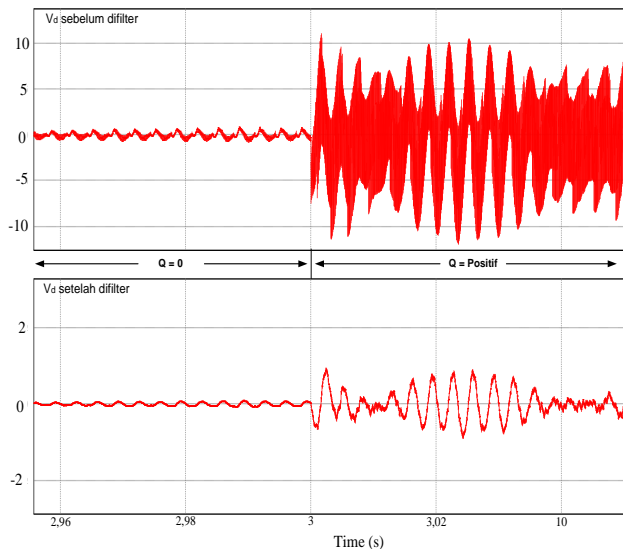


Gambar 8. Hasil simulasi sudut keluaran PLL

Gambar 8. menunjukkan sudut keluaran PLL yang telah sinkron dengan tegangan PCC. Waktu yang diperlukan untuk menyelesaikan satu putaran penuh transformasi park adalah sesuai dengan frekuensi PCC yakni  $T = 0,02s$ . Saat inverter mengirim daya reaktif ke PCC maka terdapat gangguan pada PLL. Ini ditandai dengan adanya osilasi pada *error*

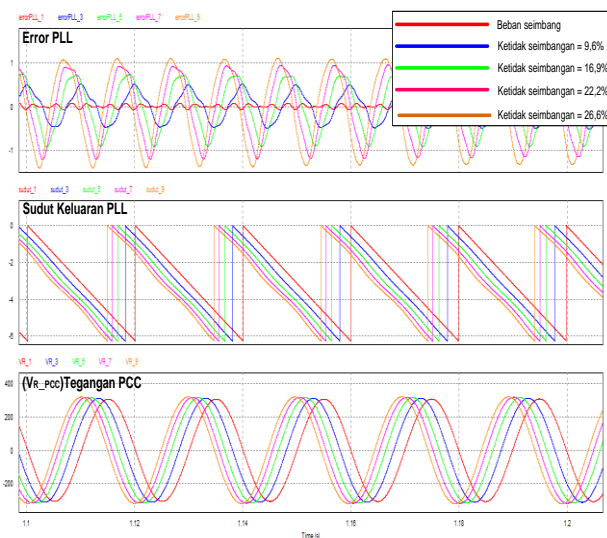
kendali pada PLL. Namun osilasi ini pada dasarnya tidak terlalu mempengaruhi sudut keluaran PLL.

Kendali PI pada PLL pada dasarnya bertujuan untuk menjaga agar nilai  $v_d = 0$ . Dari blok diagram PLL dapat diketahui bahwa sinyal  $v_d$  dapat menjadi petunjuk besar error yang terjadi pada PLL. LPF yang telah dirancang berfungsi untuk menahan frekuensi yang lebih besar dari 50 Hz masuk kedalam sinyal  $v_d$ . Gambar 9 adalah perbandingan sinyal  $v_d$  sebelum dan sesudah difilter.



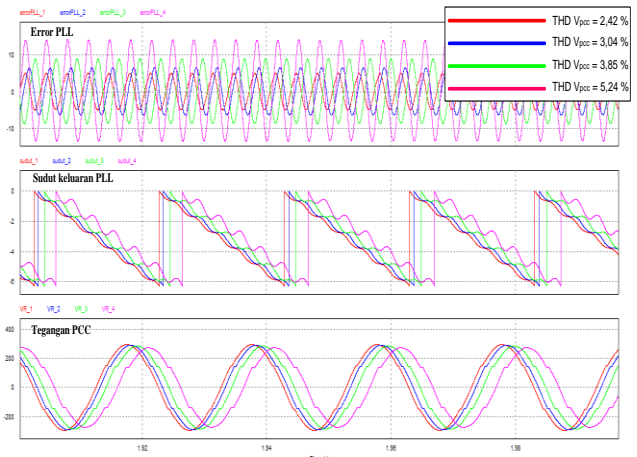
Gambar 9. Simulasi hasil filter sinyal  $v_d$

Error pada PLL juga mengalami peningkatan akibat dari pembebanan yang tidak seimbang. Gambar 10 merupakan hasil simulasi ketika tegangan PCC mengalami gangguan akibat beban tidak seimbang. Dalam simulasi ketidak seimbangan beban terjadi hingga 25%. selain itu pembebanan yang tidak seimbang mengakibatkan terjadinya pergeseran fase. Namun dari simulasi dapat dilihat bahwa sudut keluaran PLL tetap dapat mengikuti perubahan fase dari tegangan PCC.



Gambar 10. Pengaruh beban tidak seimbang pada PLL

Gambar 11. merupakan hasil simulasi kinerja PLL ketika adanya harmonik pada tegangan PCC. Karena  $v_d$  pada PLL merupakan hasil transformasi dq dari tegangan PCC pada sumbu-d, maka gangguan pada tegangan PCC juga akan mempengaruhi kinerja dari PLL itu sendiri. THD pada tegangan PCC terjadi hingga 5%. Semakin tinggi THD pada tegangan PCC maka output dari PLL akan berosilasi dan error juga semakin besar. Walaupun PLL masih dapat mengikuti pergeseran fase tegangan PCC namun kinerja PLL jauh mengalami penurunan ketika THD > 3%.



Gambar 11. Pengaruh harmonic pada PLL

## V. KESIMPULAN

Telah dilakukan perancangan PLL yang diterapkan untuk sistem inverter tiga fase yang terkoneksi dengan jaringan listrik yang terdistorsi. Sistem yang dirancang kemudian disimulasikan dengan simulator PSIM. Hasil simulasi menunjukkan bahwa PLL masih dapat mengikuti perubahan fase yang terjadi pada tegangan PCC, namun gangguan yang semakin besar akan mengakibatkan kinerja PLL semakin menurun.

## REFERENSI

1. Luna, A., Citro, C., Gavriluta, C., Hermoso, J., Candela, I., & Rodriguez, P. (2012). Advanced PLL structures for grid synchronization in distributed generation. *Renewable Energy and Power Quality Journal*, 1747-1756.
2. Gupta, A., Porippireddi, A., Srinivasa, V. U., Sharma, A., & Kadam, M. (2012). Comparative study of single phase PLL algorithms for grid synchronization applications. *IJECT*, 3(4), 237-245.
3. Santos Filho, R. M., Seixas, P. F., Cortizo, P. C., Torres, L. A., & Souza, A. F. (2008). Comparison of three single-phase PLL algorithms for UPS applications. *IEEE Transactions on Industrial Electronics*, 55(8), 2923-2932.
4. Chung, I., & Moon, S. (2007). A new islanding detection method using phase-locked loop for

- inverter-interfaced distributed generators. *Journal of Electrical Engineering & Technology*, 2(2), 165
5. S.Manoharan, Dr.K.Gnanambal , R .Girija, K.P.Ram Prasath (2014),” Grid Synchronization by Estimation of Positive Sequence Component in Three Phase SignalsInternational Conference on Innovations in Engineering and Technology (ICIET’14). *Volume 3, Special Issue*
  6. Robles, E., Ceballos, S., Pou, J., Martin, J. L., Zaragoza, J., & Ibanez, P. (2010). Variable-frequency grid-sequence detector based on a quasi-ideal low-pass filter stage and a phase-locked loop. *IEEE transactions on power electronics*, 25(10), 2552-2563.
  7. Ko, Y., Park, K., Lee, K. B., & Blaabjerg, F. (2011, May). A new PLL system using full order observer and PLL system modeling in a single phase grid-connected inverter. In *8th International Conference on Power Electronics-ECCE Asia* (pp. 803-808). IEEE.
  8. Bobrowska-Rafal, M., Rafal, K., Jasinski, M., & Kazmierkowski, M. P. (2011). Grid synchronization and symmetrical components extraction with PLL algorithm for grid connected power electronic converters-a review. *Bulletin of the Polish Academy of Sciences: Technical Sciences*, 485-497.
  9. Golestan, S., Monfared, M., Freijedo, F. D., & Guerrero, J. M. (2012). Design and tuning of a modified power-based PLL for single-phase grid-connected power conditioning systems. *IEEE Transactions on Power Electronics*, 27(8), 3639-3650
  10. Adžić, E. M., Adžić, M. S., & Katić, V. A. (2011). Improved pll for power generation systems operating under real grid conditions. *Guest Editorial W*, 5.
  11. Choi, H. J., Song, S. H., Jeong, S. G., Choi, J. Y., & Choy, I. (2011). Enhanced dynamic response of SRF-PLL system for high dynamic performance during voltage disturbance. *Journal of Power Electronics*, 11(3), 369-374.
  12. Golestan, S., Freijedo, F. D., & Guerrero, J. M. (2014). A systematic approach to design high-order phase-locked loops. *IEEE transactions on power electronics*, 30(6), 2885-2890.
  13. R.Godha, Ch.V.S.S.Sailaja, K.V.Ramana Murthy,” Improved Grid Synchronization Algorithm for DG System using and UH PLL under Grid disturbances.” I E E E Transactions on Power Electronics. 10.1109/TPEL.2014.2351262.
  14. Golestan, S., Monfared, M., Freijedo, F. D., & Guerrero, J. M. (2013). Advantages and challenges of a type-3 PLL. *IEEE Transactions on Power Electronics*, 28(11), 4985-4997.